

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 7 月 22 日 (22.07.2004)

PCT

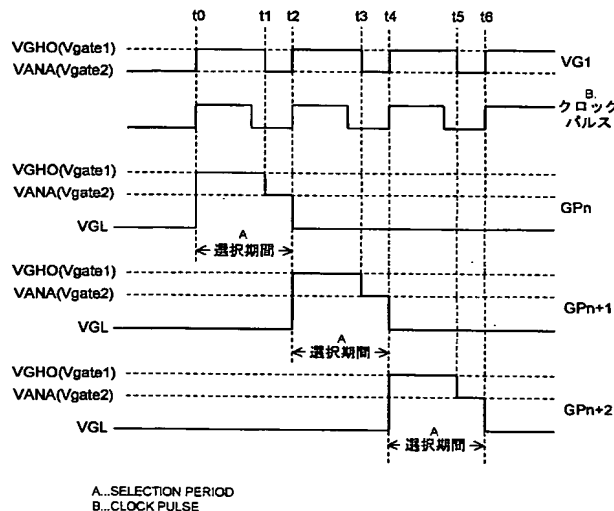
(10) 国際公開番号
WO 2004/061813 A1

- (51) 国際特許分類⁷: G09G 3/36, 3/20, G02F 1/133
(21) 国際出願番号: PCT/JP2003/016832
(22) 国際出願日: 2003 年 12 月 25 日 (25.12.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-378777
2002 年 12 月 27 日 (27.12.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-0083 大阪府 守口市 京阪本通 2 丁目 5 番 5 号 Osaka (JP). 鳥取三洋電機株式会社 (TOTTORI SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒680-8634 鳥取県 鳥取市 南吉方 3 丁目 2 0 1 番地 Tottori (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 小林 靖弘 (KOBAYASHI, Yasuhiro) [JP/JP]; 〒680-8634 鳥取県 鳥取市 南吉方 3 丁目 2 0 1 番地 鳥取三洋電機株式会社内 Tottori (JP). 蓮仏 啓一 (REMBUTSU, Keiichi) [JP/JP]; 〒680-8634 鳥取県 鳥取市 南吉方 3 丁目 2 0 1 番地 鳥取三洋電機株式会社内 Tottori (JP). 平賀 悟 (HIRAGA, Satoru) [JP/JP]; 〒680-8634 鳥取県 鳥取市 南吉方 3 丁目 2 0 1 番地 鳥取三洋電機株式会社内 Tottori (JP).
(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒540-0032 大阪府 大阪市 中央区 天満橋 京町 2-6 天満橋八千代ビル別館 Osaka (JP).

[続葉有]

(54) Title: ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス型液晶表示装置



(57) Abstract: An active matrix type liquid crystal display device capable of reducing power consumption and eliminating switching loss so as not to cause surge when stepwise changing the gate pulse supplied to a gate line during selection. The device includes, as the selection voltage supply circuit (18), a first power source (VGHO) for supplying a predetermined selection voltage and a second power source (VANA) for supplying voltage lower than the selection voltage by a predetermined value, so that voltage from the second power source is always applied to an output section (VG1) of the selection voltage supply circuit and voltage from the first power source is superimposed during a time shorter than the selection period from the beginning of the selection time, thereby applying stepwise gate pulses (GPn, GPn+1, GPn+2, ...) to the predetermined selected gate lines (Xn, Xn+1, Xn+2, ...).

(57) 要約: アクティブマトリクス型液晶表示装置において、選択時にゲートラインに供給するゲートパルスを経段階に変化させる際に、消費電力が少なくなるようにするとともに切り換えロスをなくしてサージが発生しないようにするために、選択電圧供給回路(18)として、所定の選択電圧を供給する第1の電源(VGHO)と、前記選択電圧より所定値だけ低い電圧を供給する第2の電源(VANA)とを

[続葉有]



(81) 指定国 (国内): CN, KR, SG, US.

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

備え、前記選択電圧供給回路の出力部(VG1)に、常時前記第2の電源からの電圧が印加されるようにし、選択期間の初めから前記選択期間より短い時間の間には前記第1の電源からの電圧が重畳されるようにして、所定の選択されたゲートライン(Xn、Xn+1、Xn+2...)に階段状のゲートパルス(GPn、GPn+1、GPn+2...)がそれぞれ印加されるようになる。

明細書

アクティブマトリクス型液晶表示装置

5 技術分野

本発明は、液晶パネル等のアクティブマトリクス型液晶表示装置に関し、特に液晶画素に接続された画素トランジスタに対するゲートパルス供給部を備えたアクティブマトリクス型液晶表示装置に関する。

10 背景技術

まず、従来のアクティブマトリクス型液晶表示装置の一般的な構成を、一画素部分の模式的な等価回路図である図5を参照して簡単に説明する。アクティブマトリクス型液晶表示装置の液晶パネル（不図示）の液晶画素はマトリクス状（例えばA列、B行（A、Bは自然数））に配置され、個々の液晶画素は液晶パネル上のゲートライン PX_n （ n はA以下の自然数）と信号ライン（ソースライン） Y_m （ m はB以下の自然数）の交点に設けられている。この液晶画素は等価的に液晶容量 C_{LC} で表わされる。通常、液晶容量 C_{LC} には補助容量 C_s が並列に接続されている。液晶容量 C_{LC} の一端は駆動用の画素トランジスタ T_r に接続されているとともに、他端は対向電極に接続されて所定の基準電圧 V_{com} が印加されている。

画素トランジスタ T_r は絶縁ゲート電界効果型のNチャンネル薄膜トランジスタTFT（Thin Film Transistor）からなり、そのドレイン電極Dは信号ライン Y_m に接続されており画像信号 V_{sig} の供給を受け、また、ソース電極Sは液晶容量 C_{LC} の一端、すなわち画素電極に接続されている。さらに、画素トランジスタ T_r のゲート電極Gはゲートライン PX_n に接続されて所定のゲート電圧 V_{gate} を有するゲートパルスが印加されるようになっている。液晶容量 C_{LC} とゲート電極Gとの間には結合容量 C_{gs} が形成される。この結合容量 C_{gs} は画素電極とゲートライン PX_n との間の浮遊容量成分と画素トランジ

スタ T_r 内部のソース領域とゲート領域との間の寄生容量成分が合わさったものであり、後者の寄生容量成分が支配的であるとともにその値は個々の画素トランジスタ T_r によってかなりのばらつきが存在している。

この図5における一画素の各部分に現れる電圧波形を、図6を用いて説明する。
5。図6は時間を横軸にとり、この一画素に対応する画素トランジスタ T_r のゲート電極Gの電圧波形（図6中、実線200に対応）及びソース電極Sの電圧波形（図6中、実線201に対応）を、基準電圧 V_{com} を基準として表したものである。

まず、この画素の選択期間中に電圧 V_{gate} のゲートパルスがゲート電極Gに印
10加されると、画素トランジスタ T_r はオン状態になる。この時、信号ライン Y_m から供給された画像信号 V_{sig} が画素トランジスタ T_r を介して液晶画素に書き込まれてソース電極Sの電位が V_{sig} になり、いわゆるサンプリングが行なわれる。次にこの画素が非選択期間になるとゲートパルスの印加が停止されてローレベルゲート電圧が印加され、画素トランジスタ T_r はオフ状態となるが、書き込
15まれた画像信号は液晶容量 C_{LC} に保持されている。

ここで、ローレベルゲート電圧とは、画素トランジスタ T_r のゲート電極Gに印加したとき、画素トランジスタ T_r がオフ状態になるように設定された電圧 V_{gate} よりも低い電圧をいう。また、ある画素を着目したときに、その画素を対象とした選択期間が始まってから非選択期間を経て、再び選択期間が始まるまでの
20期間を1フィールドという。

選択期間から非選択期間に移行するとき、矩形波であるゲートパルスはハイレベルからローレベルに急激に立ち下がるので、液晶容量 C_{LC} に蓄えられた電荷が、カップリングにより前述した結合容量 C_{cs} を介して瞬間的に放電する。このため、液晶画素に書き込まれた画像信号 V_{sig} に電圧シフト ΔV_1 が生じてしま
25う。つまり、ソース電極Sの電圧が ΔV_1 分、低下してしまうのである。そして、液晶表示素子の個々の画素ごとに結合容量 C_{cs} の値には、ばらつきがあることから、前記電圧シフト ΔV_1 にもばらつきが生じるので、この ΔV_1 分の電圧の低下は結果として液晶パネルの表示画面を周期的に変化させ、いわゆるフリ

ツカ及び残像を生じて表示品位を著しく劣化させる。

なお、液晶画素には選択期間中に画像信号を書き込み、続く非選択期間中書き込まれた画像信号を保持して1フィールドが構成されるが、1フィールドにおける液晶画素の透過率はその間に液晶に印加される実効電圧によって決定される。

- 5 したがって、画素トランジスタ T_r は、選択期間内に書き込みを完了するために必要なオン電流が確保できるものでなければならず、また、1フィールド期間中に液晶画素を点灯し続けるのに十分な実効電圧が得られるようにするために、非選択期間中（あるいは保持期間中）のリーク電流はできるだけ小さくする必要がある。実効電圧の変動にとっては、選択期間より遥かに長い非選択期間時の影響
- 10 が大きいため、液晶容量 C_{LC} を充電した後、画素トランジスタ T_r がオフする時に生じる前述の電圧シフト ΔV_1 は、液晶に印加される実効電圧に大きな影響を与えることとなり、液晶パネルの表示品位が損なわれてしまう。

- 従来、電圧シフト ΔV_1 の絶対量及びばらつきを抑制するため、液晶容量 C_{LC} に並列接続されている補助容量 C_s を大きめに形成するという対策が講じられていた。すなわち結合容量 C_{cs} を介して放電される電荷量を補うに足る電荷を
- 15 予め補助容量 C_s に蓄えるものである。しかしながら、補助容量 C_s は液晶画素領域に形成されており、この寸法を大きく設定すると画素開口率（Aperture Ratio）が犠牲になるため、十分な表示コントラストを得ることができなくなる。

- このような従来のアクティブマトリクス型液晶表示装置の電圧シフトの問題点を解決するための一例が、特開平6-3647号公報（以下、「特許文献1」という）に開示されている。図7は、上記特許文献1に開示されている方法を用いた場合の、画素トランジスタ T_r のゲート電極Gの電圧波形（図7中、実線300に対応）及びソース電極Sの電圧波形（図7中、実線301に対応）を、基準電圧 V_{com} を基準として表したものである。
- 20 この特許文献1に開示されている方法は、図7に示すように、選択期間から非選択期間に移行する直前に、一旦ゲート電極Gに印加される電圧レベルを第1のハイレベルゲート電圧 V_{gate1} よりも低い第2のハイレベルゲート電圧 V_{gate2} まで下げ、その後にゲートパルスPGPをローレベルゲート電圧まで立ち下げる

- 25 この特許文献1に開示されている方法は、図7に示すように、選択期間から非選択期間に移行する直前に、一旦ゲート電極Gに印加される電圧レベルを第1のハイレベルゲート電圧 V_{gate1} よりも低い第2のハイレベルゲート電圧 V_{gate2} まで下げ、その後にゲートパルスPGPをローレベルゲート電圧まで立ち下げる

ことにより、書き込まれた画像信号 V_{sig} の電圧シフト（図7中、 ΔV_2 ）を抑制するようにしたものである。

このゲートパルス PGP の電圧レベルを第1のハイレベルゲート電圧 V_{gate1} から第2のハイレベルゲート電圧 V_{gate2} に下げるタイミングは、選択期間中液晶画素への書き込み動作に影響を与えないように、書き込みが完了した時点でなされる。このゲートパルス PGP がゲート電極 G に与える電圧を、第1のハイレベルゲート電圧 V_{gate1} から一旦第2のハイレベルゲート電圧 V_{gate2} まで下げた後、非選択期間へ移行した際にローレベルゲート電圧まで立ち下げることにより、選択期間から非選択期間への移行時点でゲートライン PX_n とソース電極 S との間の電位差は小さくなるため、電圧シフト（図7中の ΔV_2 に相当）を効果的に抑制できるようになる（即ち、電圧シフト ΔV_2 を電圧シフト ΔV_1 より小さくすることができる。）

上記特許文献1で採用されているアクティブマトリクス型液晶表示装置の具体的な駆動回路を図8を用いて説明する。図8において、アクティブマトリクス型液晶表示装置は、マトリクス状に配列された液晶画素 LP と、個々の液晶画素 LP を駆動する画素トランジスタ Tr とからなる表示部を有している。図8において、図5と同一の部分は同一の符号を付して説明を省略する。なお、図8では一列分の液晶画素のみを表わしている。

各画素トランジスタ Tr のゲート電極 G にはゲートライン $PX_1, PX_2, PX_3, PX_4, \dots$ を介して垂直走査回路101が接続されており、線順次でそれぞれゲートパルス $PGP_1, PGP_2, PGP_3, PGP_4, \dots$ を印加して各画素トランジスタ Tr の選択動作を行なう。また、各画素トランジスタ Tr のドレイン電極 D には信号ライン Y_m を介して水平駆動回路102が接続されており、選択された画素トランジスタ Tr を介して画像信号 V_{sig} を各液晶画素 LP に書き込む。

垂直走査回路101はシフトレジスタ103から構成されており、このシフトレジスタ103はD型フリップフロップ104を多段接続した構造を有し、各D型フリップフロップ104は出力端子が共通結線された一対のインバータ105

， 106 から構成されている。各インバータは P チャンネル型の駆動トランジスタ 107 を介して直列接続された一対の分圧抵抗 R 101， R 102 の中点に接続されていると共に、N チャンネル型の駆動トランジスタ 108 を介してグランド側に接続されている。これら一対の駆動トランジスタ 107， 108 はシフトクロックパルス VCK1， VCK2 及びこれらの反転パルスに応答して導通しインバータ 105、 106 を駆動する。

一対のインバータ 105， 106 の共通結線された出力端子には第三のインバータ 109 の入力端子が接続されており、この第三のインバータ 109 の出力端子には各段の D 型フリップフロップの出力パルスが現われる。この出力パルスは次段の D 型フリップフロップの入力としても用いられる。第一段目の D 型フリップフロップに対してスタート信号 VST を入力することにより、シフトレジスタ 103 は各段毎に順次半周期ずつ位相のずれた出力パルスを出力する。当該段の出力パルスと前段の出力パルスをナンドゲート素子 110 で論理処理した後インバータ 111 で反転することによりゲートパルス PGP1， PGP2， PGP3， PGP4， … が得られる。

そして、前記直列接続された分圧抵抗 R 101， R 102 の一端は電源電圧 VDD に接続されており、他端はスイッチングトランジスタ 114 を介してグランド側に接続されている。スイッチングトランジスタ 114 のゲート電極には制御電圧 VCKX が周期的に印加されている。スイッチングトランジスタ 114 がオフ状態にある時には電源電圧 VDD がそのままシフトレジスタ 103 に供給され、各ゲートパルス PGPn (n は自然数) の電圧レベルは電源電圧と等しくなる。一方、スイッチングトランジスタ 114 がオン状態になると、R 101 と R 102 の比によって分圧された電圧がシフトレジスタ 103 に供給されるので、各ゲートパルス PGPn の電圧レベルもそれに従って低下する。

この例では、スイッチングトランジスタ 114 のゲート電極に印加される制御電圧 VCKX は水平同期信号に応じてパルス状にレベル変化する。本例では水平周期は $63.5 \mu s$ に設定されており、その期間はゲートライン 1 本当たりの選択期間に相当する。制御電圧 VCKX は各水平周期の最終部分で $6 \sim 8 \mu s$ の間

ハイレベルに変化する。この時間は選択期間内における画像信号の書き込み動作に影響を与えない様に設定されている。すなわち選択されたゲートライン上の画素に対して点順次で画像信号を書き込み終わった段階で制御電圧 V_{CKX} がハイレベルに切り換わる。制御電圧 V_{CKX} がハイレベルになるとスイッチングトランジスタ114がオン状態になるので、シフトレジスタ103に供給される電源電圧のレベルは、例えば第1のハイレベルゲート電圧 V_{gate1} として設定された電源電圧 V_{VDD} の13.5Vから8.5V程度に設定された第2のハイレベルゲート電圧 V_{gate2} にまで低下する。この低下量は一對の分圧抵抗 R_{101} , R_{102} の比を適宜決めることにより適宜設定される。

- 10 この電源電圧の変動に応じて、例えば n 番目 (n は自然数) のゲートパルス PGP_n は一水平周期内においてそのレベルが13.5Vから8.5Vに階段状に変化する。次の水平周期では $n+1$ 番目のゲートラインに対応するゲートパルス PGP_{n+1} が発生し同じく階段状にそのレベルが変化する。この様な動作によれば、垂直走査回路は個々のゲートパルス PGP_n の印加電圧レベルを立ち下げる
- 15 直前に、一旦ゲートパルス PGP_n の電圧レベルを下げた後に立ち下げることでより画素に書き込まれた画像信号 V_{sig} の電圧シフトを抑制することができる。

このように、上記特許文献1に記載の方法では、ゲートパルス PGP_n の立ち下がりやを階段状とすることにより画像信号の電圧シフト ΔV_2 を有効に抑制できるようになる。

- 20 しかしながら、上記特許文献1に開示されている具体例では、ゲートドライバを構成するシフトレジスタ103に供給する電源供給電圧を電源電圧 V_{VDD} と $V_{VDD} \times R_{102} / (R_{101} + R_{102})$ との間で変化させることにより、階段状に立ち下がるゲートパルス PGP_n を得ているため、シフトレジスタ103を含む回路自体が複雑で大きく、且つ消費電流が大きくなるのでドライバの占
- 25 める面積が大きくなってしまう。

また、電源電圧 V_{VDD} を抵抗 R_{101} と R_{102} で分割したものをシフトレジスタ103の電源として使用しており、その分割した電圧には大きな電流依存性があることとなるため、シフトレジスタ103の電源電圧やゲートパルス PG

P_nの電圧が不安定になりやすい。

- また、スイッチングトランジスタ 114 をオン／オフすることによりシフトレジスタ 103 などの論理素子の電源電圧を切り換えた時には、ゲートパルス P_G P_nの電圧にサージ電圧が発生してしまい、表示品位の劣化を引き起こす。加えて、シフトレジスタ 103 などの論理素子は通常 5 V 以下の電源電圧で駆動されることが多いのであるが、それよりも遙かに高い電圧、例えば 13.5 V ないしは 8.5 V で駆動されるので、非常に高消費電力となってしまう。

発明の開示

- 10 本発明は、上記の点に鑑み、低消費電力かつ簡単な回路でありながら、切り換えに際してサージ電圧が発生することがなく、しかも、安定した階段状に切り換わるゲートパルスを発生させて良好な表示品位を得ることができるアクティブマトリクス型液晶表示装置を提供することを目的とする。

- 上記目的を達成するために、本発明に係るアクティブマトリクス型液晶表示装置は、マトリクス状に配置され、各々画素トランジスタによって駆動される画素電極と、列ごとに該画素トランジスタのゲート電極に接続された複数のゲートラインと、行ごとに該画素トランジスタのソース電極に接続された複数のソースラインと、順次所定の選択期間毎に所定の前記ゲートラインを選択電圧供給回路の出力部に結合するゲートドライバと、前記ソースラインに映像信号を供給するソースドライバとを有し、前記選択電圧供給回路は、所定の選択電圧を供給するための第 1 の電源と、前記所定の選択電圧より低い電圧を供給するための第 2 の電源とを有し、前記選択電圧供給回路の出力部に対して、常時前記第 2 の電源からの電圧が供給されているとともに、各々の前記選択期間の初めから前記選択期間の長さより短い時間の間には前記第 1 の電源からの電圧が供給されるようになるためのスイッチを設けている。

この構成によれば、各ゲートラインの選択期間中に階段状のゲートパルス電圧を印加することができるので、従来のアクティブマトリクス型液晶表示装置の電圧シフト（図 6 における ΔV_1 ）の問題点を解決することができるだけでなく、

選択電圧供給回路には常時所定の選択電圧より低い第 2 の電圧が供給されているために、各ゲートラインに供給する電圧の切り換えに際してタイミングがずれてもサージ電圧が発生したり電圧が印加されなくなるようなことがない。

しかも、第 1 の電源及び第 2 の電源からなる独立した電源を有しているため、
5 安定した電圧が前記選択電圧供給回路の出力部に供給される結果、安定した電圧の階段状のゲートパルスを供給することができるようになる。

また、本発明では上記構成において、前記第 2 の電源は、ダイオードを経て前記選択電圧供給回路の出力部に接続されている。かかる構成を採用することにより、第 2 の電源の電圧よりも高い第 1 の電源の電圧が印加されれば直ちに選択電
10 圧供給回路の出力電圧は第 1 の電源から供給される電圧に切り換わるので、簡単な回路で、かつ低消費電力で階段状のゲートパルスを供給することができるようになる。

さらに、本発明では上記構成において、前記第 1 の電源は前記スイッチを経て前記選択電圧供給回路の出力部に接続されている。かかる構成を採用することにより、簡単な回路で、かつ低消費電力で階段状のゲートパルスを供給することが
15 できるようになる。

さらに、本発明では上記構成において、前記画素トランジスタはアモルファスシリコンから作製されている。かかる構成を採用することにより、従来の電圧シフト（図 6 における ΔV_1 ）に起因する画質低下の問題が解決されているために
20 、たとえばアモルファスシリコンを用いることにより低温ポリシリコンから作製した場合に比して液晶表示パネルの画質が低下することがあるとしても、これを補うことができるばかりでなく製造工程を少なくすることができるので、安価に大画面の液晶表示パネルを製造することができるようになる。

また、本発明では上記構成において、前記選択電圧供給回路は、前記ゲートドライバと別体に設けている。かかる構成を採用することにより、前記選択電圧供給回路に大電流が流れて発熱量が多くなっても、冷却が容易になる。
25

また、本発明では上記構成において、前記選択電圧供給回路は、ローレベルゲート電圧電源と共にゲートドライバの外に配置されている。かかる構成を採用す

ることにより、前記選択電圧供給回路に大電流が流れて発熱量が多くなっても、冷却が容易になる。

- また、本発明では上記構成において、前記スイッチはゲートラインごとに並列に設けられている。かかる構成を採用することにより、該スイッチとして小型のものを複数個並列に分散配置することができるので、総体的に消費電力も減少し、
- 5 スイッチをゲートドライバと一体に組み込むことができるようになる。

図面の簡単な説明

- 図 1 本発明の第 1 実施形態にかかるアクティブマトリクス型液晶表示装置の駆動回路を示す図である。
- 10

図 2 図 1 の主要部分の出力波形を示す図である。

図 3 図 1 の選択電圧供給回路の具体的回路の一例を示す図である。

- 図 4 本発明の第 2 実施形態にかかるアクティブマトリクス型液晶表示装置の駆動回路を示す図である。

- 図 5 従来のアクティブマトリクス型液晶表示装置の一般的な構成における一画素部分の模式的な等価回路図である。
- 15

図 6 従来のアクティブマトリクス型液晶表示装置の一画素の各部分の電圧波形を示す図である。

- 図 7 従来のアクティブマトリクス型液晶表示装置が抱える電圧シフトの問題点を解決するための方法を示す図である。
- 20

図 8 図 7 の方法を実施するための具体的な駆動回路を示す図である。

発明を実施するための最良の形態

(第 1 実施形態)

- 以下、本発明の第 1 実施形態を図 1 ～図 3 を用いて詳細に説明する。図 1 は本発明の第 1 実施形態に対応するアクティブマトリクス型液晶表示装置の駆動回路 1 を表す図、図 2 は図 1 の主要部分の出力波形を示す図、図 3 は図 1 の選択電圧供給回路 18 の具体的回路図である。
- 25

本実施形態及び後述する第2実施形態に係るアクティブマトリクス型液晶表示装置の液晶パネルの液晶画素は、マトリクス状（例えばA列、B行（A、Bは自然数））に配置され、個々の液晶画素が液晶パネル上のゲートライン X_n （ n はA以下の自然数）と信号ライン（ソースライン） Y_m （ m はB以下の自然数）の交点

5 に設けられているのは、図5を用いて説明した背景技術のものと同様である。

また、各液晶画素を駆動する画素トランジスタ及び、その各画素トランジスタのドレイン電極に接続される信号ラインは、図5を用いて説明した上記の背景技術のものと同様であるため、省略している。また、ゲートライン X_n は、本実施形態におけるアクティブマトリクス型液晶表示装置の駆動回路1に設けられた画

10 素トランジスタのゲート電極に接続されるという以外は、図5における PX_n と同様のものである。

まず、図1を参照しながら本発明の第1実施形態に対応するアクティブマトリクス型液晶表示装置の駆動回路を説明する。アクティブマトリクス型液晶表示装置の駆動回路1は、図示しないCPU（Central Processing

15 Unit）からのクロックパルス12（デューティ比は50%）が入力されるタイマ回路14及びシフトレジスタからなるゲートドライバ16とを有し、更にタイマ回路14からの出力を受ける選択電圧供給回路18と、各画素トランジスタ（不図示）のゲート電極に接続されているゲートライン X_n 、 X_{n+1} 、 X_{n+2} ・・・（ n は自然数）と、ゲートライン X_n 、 X_{n+1} 、 X_{n+2} ・・・のそれぞれに

20 接続されるゲートパルス制御スイッチ 24_n 、 24_{n+1} 、 24_{n+2} ・・・と、ローレベルゲート電圧電源VGLを有している。

選択電圧供給回路18は、第1のハイレベルゲート電圧 V_{gate1} を供給する第1の電源 V_{GH0} と、第1のハイレベルゲート電圧 V_{gate1} より低い電圧である V_{gate2} を供給する第2の電源 V_{AVA} と、アノードが第2の電源 V_{AVA} の出力に接続されるとともにカソードが選択電圧供給回路18の出力部VG1に接続

25 されたダイオード22と、第1の電源 V_{GH0} の出力部とダイオード22のカソードとの間の接続をタイマ回路14の出力を受けてオン／オフ制御するスイッチ20とを有する。また、選択電圧供給回路18の出力部VG1は、ゲートパルス

制御スイッチ $24n$ 、 $24n+1$ 、 $24n+2$ ・・・の全ての一端に接続されている。

ゲートドライバ 16 は、ゲートパルス制御スイッチ $24n$ 、 $24n+1$ 、 $24n+2$ ・・・のそれぞれに制御信号を与えており、その制御信号に応じて、例えばゲートライン Xn には選択電圧供給回路 18 の出力電圧またはローレベル電源 V_{GL} の出力電圧が印加される。他のゲートライン（ゲートライン $Xn+1$ 、 $Xn+2$ 等）についても同様である。

第 1 のハイレベルゲート電圧 V_{gate1} または第 2 のハイレベルゲート電圧 V_{gate2} が、各画素トランジスタのゲート電極に印加されると、その各画素トランジスタはオン状態となる一方、ローレベルゲート電圧電源 V_{GL} が出力する電圧が各画素トランジスタのゲート電極に印加されると、その各画素トランジスタはオフ状態となる。

タイマ回路 14 は、CPU からのクロックパルス 12 の立ち上がりに応じてカウントを開始し、このクロックパルスの立ち下がり時よりは遅いが、次のクロックパルスの立ち上がり時よりも早い時にカウントが終了するようになっている。換言すれば、タイマ回路 14 が 1 回のカウントを開始してから終了するまでの時間は、クロックパルス 12 の $1/2$ クロックに要する時間よりも長い、1 クロックに要する時間よりも短いということである。

このタイマ回路 14 の出力により選択電圧供給回路 18 のスイッチ 20 を制御して、選択電圧供給回路 18 の出力部 V_{G1} の電圧を第 1 のハイレベルゲート電圧 V_{gate1} とそれよりも低い第 2 のハイレベルゲート電圧 V_{gate2} とに切り換えるようにしている。

より具体的いうと、タイマ回路 14 がカウント中は選択電圧供給回路 18 の出力部 V_{G1} に表れる電圧は第 1 のハイレベルゲート電圧 V_{gate1} となり、タイマ回路 14 がカウント停止中は選択電圧供給回路 18 の出力部 V_{G1} に表れる電圧は第 2 のハイレベルゲート電圧 V_{gate2} となるようにスイッチ 20 はタイマ回路 14 の出力により制御される。

次に、図 2 を参照しながら図 1 における主要部分の出力波形を説明する。図 2 は、上から、選択電圧供給回路 18 の出力部 V_{G1} に表れる電圧、クロックパル

ス 1 2、ゲートライン X_n に印加される電圧（ゲートパルス $G P_n$ ）、ゲートライン X_{n+1} に印加される電圧（ゲートパルス $G P_{n+1}$ ）、ゲートライン X_{n+2} に印加される電圧（ゲートパルス $G P_{n+2}$ ）の波形を示したものである。

図 2 に示すように、クロックパルス 1 2 の立ち上がり（タイミング t_0 、 t_2 、 t_4 、 t_6 ）とともに、タイマ回路 1 4 がカウントを開始するため選択電圧供給回路 1 8 の出力部 $V G_1$ に表れる電圧は第 1 のハイレベルゲート電圧 $V_{gate 1}$ となる。また、クロックパルス 1 2 が立ちあがってハイレベルとなった後、一度ローレベルになり、次に立ち上がるまでの間に、上述したようにタイマ回路 1 4 がカウントを終了（タイミング t_1 、 t_3 、 t_5 ）して停止するため、このカウント終了以降、次のカウント開始（タイミング t_2 、 t_4 、 t_6 ）までは選択電圧供給回路 1 8 の出力部 $V G_1$ に表れる電圧は第 2 のハイレベルゲート電圧 $V_{gate 2}$ となっている。

また、タイミング t_0 からタイミング t_2 の期間、タイミング t_2 からタイミング t_4 の期間、タイミング t_4 からタイミング t_6 の期間は、それぞれゲートライン X_n に印加する電圧で駆動される画素の選択期間（ゲートライン X_n の選択期間とも言える）、ゲートライン X_{n+1} に印加する電圧で駆動される画素の選択期間（ゲートライン X_{n+1} の選択期間とも言える）、ゲートライン X_{n+2} に印加する電圧で駆動される画素の選択期間（ゲートライン X_{n+2} の選択期間とも言える）を表している。

一方、図 1 に戻ると、CPU からのクロックパルス 1 2 はシフトレジスタからなるゲートドライバ 1 6 にも導入されており、このゲートドライバ 1 6 により、1 フィールド期間（図 6 参照）中に前記 CPU からのクロックパルス 1 2 の立ち上がりに同期して、各ゲートライン X_n 、 X_{n+1} 、 $X_{n+2} \dots$ がゲートパルス制御スイッチ $2 4_n$ 、 $2 4_{n+1}$ 、 $2 4_{n+2} \dots$ により順次線順序で所定時間選択され、その選択期間に当たるゲートライン（図 1 では X_n が選択されているものが示されている。）が選択電圧供給回路 1 8 の出力部 $V G_1$ に接続され、他のゲートライン（図 1 における X_{n+1} 、 X_{n+2} 等）は全てローレベルゲート電圧電源 $V G_L$ に接続される。

従って、図 2 に示すように、1 フィールド期間中に選択期間に至ったゲートライン X_n に印加されるゲートパルス G_{Pn} は、最初に低レベル電圧源であるローレベルゲート電圧電源 V_{GL} から供給される電圧より急速に第 1 のハイレベルゲート電圧 V_{gate1} まで立ち上がり（タイミング t_0 ）、その後所定の期間後に第 2 のハイレベルゲート電圧 V_{gate2} に下がり（タイミング t_1 ）、その後選択期間の終了とともにローレベルゲート電圧電源 V_{GL} から供給される電圧まで急速に立ち下がり（タイミング t_2 ）、次のフィールドの選択期間になるまでこの状態が維持される。次いで順次選択期間になるゲートライン X_{n+1} 、 X_{n+2} ・・・にも G_{Pn} と同様の階段状のゲートパルス G_{Pn+1} 、 G_{Pn+2} ・・・が印加される。

なお、本実施形態においては、例えば、1 つの選択期間（タイミング t_0 から t_2 までの期間等）は $13.5 \mu s$ 、タイミング t_0 から t_1 まで、タイミング t_2 から t_3 まで及びタイミング t_4 から t_5 までの期間は $11 \mu s$ 、タイミング t_1 から t_2 まで、タイミング t_3 から t_4 まで及びタイミング t_5 から t_6 までの期間は $2.5 \mu s$ としている。また、例えば第 1 の電源 V_{GH0} が供給する第 1 のハイレベルゲート電圧 V_{gate1} は $25 V$ 、第 2 の電源 V_{ANA} が供給する第 2 のハイレベルゲート電圧 V_{gate2} は $13 V$ としている。もちろん、本発明は、これらの時間（ $13.5 \mu s$ 等）や電圧値（ $25 V$ 等）に限定されるものではない。

次に、図 3 を用いて図 1 の選択電圧供給回路 18 の具体的回路について説明する。図 1 と同一の部分は同一の符号を付して説明を省略する。

第 1 の電源 V_{GH0} の出力は抵抗 R_1 を介して PNP 型のトランジスタ $20a$ のエミッタに接続され、トランジスタ $20a$ のコレクタは抵抗 R_5 を介して NPN 型のトランジスタ Tr_b のコレクタに接続されている。また、トランジスタ $20a$ のエミッタは抵抗 R_2 、 R_3 及び R_4 を介してトランジスタ Tr_b のベースに接続されているとともに、抵抗 R_2 と抵抗 R_3 の接続点はトランジスタ $20a$ のベースに、抵抗 R_3 と抵抗 R_4 の接続点は NPN 型のトランジスタ Tr_a のコレクタに接続されている。また、トランジスタ Tr_b のベースは抵抗 R_7 を介して接地されており、トランジスタ Tr_a 、 Tr_b のエミッタは双方、接

地されている。

また、トランジスタ T_{r_a} のベースは抵抗 R_8 を介して接地されているとともに、タイマ回路 14 の出力（図中の T_O ）に接続されている。

第 2 の電源 V_{ANA} の出力は、ダイオード 22 を介してトランジスタ 20 a のコレクタに接続されており、トランジスタ 20 a のコレクタは抵抗 R_6 を介して選択電圧供給回路 18 の出力部 V_{G1} と接続されている。

尚、トランジスタ T_{r_a} とトランジスタ T_{r_b} は、そのスイッチングの切り換えにより選択電圧供給回路 18 の出力部 V_{G1} の電圧をシフトさせるレベルシフト回路 26 を構成している。また、タイマ回路 14 は時間を計測するためのタイマ素子 14 A を備えており、タイマ回路 14 には電源電圧 V_{DD0} とクロックパルス 12 が与えられている。トランジスタ 20 a は、図 1 におけるスイッチ 20 を具体化したものに相当している。

上記の接続関係から分かるように、第 2 のハイレベルゲート電圧 V_{gate2} を供給する第 2 の電源 V_{ANA} はダイオード 22 を経て選択電圧供給回路 18 の出力部 V_{G1} へ接続され、また、第 1 のハイレベルゲート電圧 V_{gate1} を供給する第 1 の電源 V_{GH0} は、タイマ 14 の出力がレベルシフト回路 26 を経て接続されているスイッチ 20 を経て同じく出力部 V_{G1} へ接続されている。すなわち、この選択電圧供給回路 18 の出力部 V_{G1} に表れる電圧は、常時第 2 の電源 V_{ANA} がダイオード 22 を経て出力部 V_{G1} に接続されているため、トランジスタ 20 a がオフ状態の場合は第 2 の電源 V_{ANA} が供給する電圧、すなわち V_{gate2} が出力され、トランジスタ 20 a がオン状態の場合は第 1 の電源 V_{GH0} の供給する電圧、すなわち V_{gate1} が出力されるようになっている。

そして、タイマ回路 14 がカウント中は、トランジスタ T_{r_a} がオンし、且つトランジスタ T_{r_b} がオフするようなハイレベルの電圧がタイマ回路 14 から出力されるとともに、抵抗 R_2 における電圧降下によりトランジスタ 20 a がオンするように各抵抗の抵抗値が設定されている。また、タイマ回路 14 がカウント停止中は、トランジスタ T_{r_a} がオフし、且つトランジスタ T_{r_b} がオンするようなローレベルの電圧がタイマ回路 14 から出力されるとともに、抵抗 R

2における電圧降下によりトランジスタ20aがオンしないように各抵抗の抵抗値が設定されている。

したがって、タイマ回路14がカウント中はトランジスタ20aがオン状態となるので、選択電圧供給回路18の出力部VG1に表れる電圧は第1のハイレベルゲート電圧Vgate1となり、タイマ回路14がカウントを停止中はトランジスタ20aがオフ状態となるので、選択電圧供給回路18の出力部VG1に表れる電圧は第2のハイレベルゲート電圧Vgate2となる。

尚、上述したように、PNP型のトランジスタ20aは、図1におけるスイッチ20を具体化した一例に過ぎない。本発明は、スイッチ20としてPNP型のトランジスタ20aを採用することに限定されるものではなく、スイッチ20としてNPN型のトランジスタやリレー等を採用して、図3の構成と同様の作用を奏するように回路構成を変形してもよいのは勿論である。

このように、本実施形態によれば、各ゲートラインの選択期間中に階段状のゲートパルス電圧を印加することができるので、従来のアクティブマトリクス型液晶表示装置が抱えていた電圧シフト（図6の $\Delta V1$ に相当）の問題点を解決することができるだけでなく、常時第2の電源VANAからVgate2に相当する電圧をダイオード22を経て選択電圧供給回路18の出力部VG1に供給するとともに、タイマ回路14がカウントをしている間にスイッチ20をオンにすることにより第1の電源VGH0から第1のハイレベルゲート電圧Vgate1に相当する電圧を前記選択電圧供給回路18の出力部VG1に供給されるようになしてあるので、ハイレベルゲート電圧の切り換えの際にロスがなく、サージ電圧が発生することはなくなる。

さらに、タイマ回路14、ゲートドライバ16等のロジック回路は5V以下の電圧で作動させることができるので、上記特許文献1に記載されているものと比すると非常に消費電力を少なくすることができる。

また、本実施形態の構成は以下のように記載することもできる。“予め第1のハイレベルゲート電圧Vgate1に相当する電圧を発生するための第1の電源VGH0と、この第1のハイレベルのゲート電圧Vgate1から所定電圧だけ低い第2

のハイレベルゲート電圧 V_{gate2} に相当する電圧を発生するための第2の電源 V_{ANA} とを設け、この第2の電源 V_{ANA} から常時ダイオードを経て第2のハイレベルゲート電圧 V_{gate2} を供給するようにし、その第2のハイレベルゲート電圧 V_{gate2} に重畳するように第1のハイレベルゲート電圧 V_{gate1} をオン・オフ制御する。”

なお、上記の第1実施形態においては、選択電圧供給回路18において一つのスイッチ20を使用したか、このような構成ではスイッチ20に大電流が流れるため、発熱の問題を考慮すると前記選択電圧供給回路18はゲートドライバ16とは別体に設けることが好ましい。選択電圧供給回路18に大電流が流れて発熱量が多くなっても、冷却が容易になるからである。また、同様の理由からローレベルゲート電圧電源 V_{GL} もゲートドライバ16とは別体に設けてもよい。

ここで、上記“別体に設ける”とは、ゲートドライバ16等をIC (integrated circuit) に組み込む際に、ゲートドライバ16と選択電圧供給回路18やローレベルゲート電圧電源 V_{GL} とを、別のICに組み込むことを意味する。また、ゲートドライバ16と選択電圧供給回路18やローレベルゲート電圧電源 V_{GL} とを、同一の単体ICに組み込んだとしても、ゲートドライバ16と選択電圧供給回路18やローレベルゲート電圧電源 V_{GL} との物理的な距離を、上記冷却が容易となる程度に大きくとることも、上記“別体に設ける”ことと同様と解釈することもできる。尚、“選択電圧供給回路18またはローレベルゲート電圧電源 V_{GL} をゲートドライバ16と別体に設ける”という表現は、“選択電圧供給回路18またはローレベルゲート電圧電源 V_{GL} をゲートドライバ16の外に配置する”と表現することもできる。

(第2実施形態)

このような発熱の問題点を解決して選択電圧供給回路（具体的には、後述する選択電圧供給回路58）をゲートドライバ16に組み込めるようにした変形例を本発明の第2実施形態として図4に示す。図4は本発明の第2実施形態に対応するアクティブマトリクス型液晶表示装置の駆動回路2を表す図である。図1と同一の部分には同一の符号を付して説明を省略する。

図 4 に記載のものにおいて図 1 に記載のものと相違している点は、図 3 におけるレベルシフト回路 26 に相当する回路をタイマ回路 14 内に組み込んだものをタイマ回路 54 としてタイマ回路 14 に変えて採用し、ゲートドライバ 16 と共に複数の NPN 型のスイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 $T_{rn+2} \dots$

- 5 \cdot を各ゲートラインごとに並列に接続して分散配置し、該スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 $T_{rn+2} \dots$ のベースを全て前記タイマ回路 54 内のレベルシフト回路の出力に、同じくコレクタを第 1 の電源 V_{GH0} に、同じくエミッタを第 2 の電源 V_{ANA} からダイオード 22 を経て接続されている選択電圧供給回路 58 の出力部 V_{G2} と各ゲートパルス制御スイッチ 24n、24n+1、24n+2 \dots の一端に接続した点である。

選択電圧供給回路 58 は、図 1 における選択電圧供給回路 18 のスイッチ 20 を、上記スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 $T_{rn+2} \dots$ に変更した以外は選択電圧供給回路 18 と同じであり、選択電圧供給回路 58 の出力部 V_{G2} は、選択電圧供給回路 18 の出力部 V_{G1} に対応するものである。

- 15 尚、タイマ回路 54 のレベルシフト回路の出力はタイマ回路 54 自体の出力になっており、タイマ回路 54 は、レベルシフト回路を自身の内部に組み込んでいた以外はタイマ回路 14 と同様のものである。従って、タイマ回路 54 はタイマ回路 14 と同様、CPU からのクロックパルス 12 の立ち上がりに応じてカウントを開始し、このクロックパルスの立ち下がり時よりは遅いが、次のクロックパルスの立ち上がり時よりも早い時にカウントが終了するようになっている。

このタイマ回路 54 の出力によりスイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 $T_{rn+2} \dots$ を制御して、選択電圧供給回路 58 の出力部 V_{G2} の電圧を第 1 のハイレベルゲート電圧 V_{gate1} とそれよりも低い第 2 のハイレベルゲート電圧 V_{gate2} とに切り換えるようにしている。

- 25 そして、タイマ回路 14 と同様、具体的には、タイマ回路 54 がカウント中は選択電圧供給回路 58 の出力部 V_{G2} に表れる電圧は第 1 のハイレベルゲート電圧 V_{gate1} となり、タイマ回路 54 がカウント停止中は選択電圧供給回路 58 の出力部 V_{G2} に表れる電圧は第 2 のハイレベルゲート電圧 V_{gate2} となるように

スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・はタイマ回路 54 の出力により制御される。

この第2実施形態においては、選択電圧供給回路 58 の出力部 V_{G2} には常時ダイオード 22 を経て第2電源 V_{ANA} から第2のハイレベルゲート電圧 V_{gate2} に相当する電圧が印加されており、タイマ回路 54 がカウントを続けている間
5 2 に相当する電圧が印加されており、タイマ回路 54 がカウントを続けている間にタイマ回路 54 に備えられたレベルシフト回路からの出力により、スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・のうち複数のスイッチングトランジスタがオン状態となり、第1の電源 V_{GH0} のから第1のハイレベルゲート電圧 V_{gate1} が選択電圧供給回路 58 の出力部 V_{G2} に印加されるようになって
10 ている。

従って、複数のスイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・が並列に配置されているため、スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・の個々に流れる電流値はその個数に反比例して小さくなり、その発熱量も小さくなるので、選択電圧供給回路 58 をゲートドライバ 16 と一体に組み
15 込むことができるようになる。もちろん、選択電圧供給回路 58 のうち、スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・だけをゲートドライバ 16 と一体に組み込むこともできる。また、第2実施形態においても、ハイレベルゲート電圧の切り換えの際にロスがない等の上述した第1実施形態の有する効果を奏することは勿論である。

20 なお、前記スイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・の数は、図4では各ゲートライン X_n 、 X_{n+1} 、 X_{n+2} ・・・に対応するように設けられているが、必ずしもこのような構成とする必要はなく、この複数のスイッチングトランジスタ T_{rn} 、 T_{rn+1} 、 T_{rn+2} ・・・をゲートドライバ 16 と一体に配置した際に発熱による影響が無視できるような個数となせばよい。

25 また、上記“一体に組み込む”や“一体に配置”とは、上述の“別体に設ける”とは逆の意味であり、ゲートドライバ 16 等を IC に組み込む際に、ゲートドライバ 16 と選択電圧供給回路 18 を、同一の単体 IC に組み込むことを意味する。また、ゲートドライバ 16 と選択電圧供給回路 18、物理的に異なる IC に

組み込んだとしても、ゲートドライバ16を組み込んだICと選択電圧供給回路18を組み込んだICと一緒にモールドする等して実質的に一体化する場合も、上記“一体に組み込む”や“一体に配置”ことと同様と解釈することもできる。

- 5 なお、上述の第1実施形態及び第2実施形態における画素トランジスタはTF Tからなり、そのTF Tはアモルファスシリコンから作製されていることが好ましい。双方の実施形態においては、従来のアクティブマトリクス型液晶表示装置が抱えていた電圧シフト（図6の $\Delta V1$ に相当）に起因する画質低下の問題が解決されているために、たとえアモルファスシリコンを用いることにより低温ポリシリコンから作製した場合に比して液晶表示パネルの画質が低下することがある
- 10 としても、これを補うことができるばかりでなく製造工程を少なくすることができるので、安価に大画面の液晶表示パネルを製造することができるようになるからである。

産業上の利用可能性

- 15 上述のとおり、本発明に係るアクティブマトリクス型液晶表示装置によれば、低消費電力かつ簡単な回路でありながら、切り換えに際してサージ電圧が発生することがなく、しかも、安定した階段状に切り換わるゲートパルスが発生させて良好な表示品位を得ることができる。

請求の範囲

1. アクティブマトリクス型液晶表示装置において、

マトリクス状に配置され、各々画素トランジスタによって駆動される画素電極
と、列ごとに該画素トランジスタのゲート電極に接続された複数のゲートライン
と、行ごとに該画素トランジスタのソース電極に接続された複数のソースライン
と、順次所定の選択期間毎に所定の前記ゲートラインを選択電圧供給回路の出力
部に結合するゲートドライバと、前記ソースラインに映像信号を供給するソース
ドライバとを有し、

前記選択電圧供給回路は、所定の選択電圧を供給するための第1の電源と、前
記所定の選択電圧より低い電圧を供給するための第2の電源とを有し、前記選択
電圧供給回路の出力部に対して、常時前記第2の電源からの電圧が供給されてい
るとともに、各々の前記選択期間の初めから前記選択期間の長さより短い時間の
間には前記第1の電源からの電圧が供給されるようになすためのスイッチが設け
られている。

2. 請求項1に記載のアクティブマトリクス型液晶表示装置であって、

前記第2の電源は、ダイオードを経て前記選択電圧供給回路の出力部に接続さ
れている。

3. 請求項2に記載のアクティブマトリクス型液晶表示装置であって、

前記第1の電源は、前記スイッチを経て前記選択電圧供給回路の出力部に接続
されている。

4. 請求項1～3のいずれかに記載のアクティブマトリクス型液晶表示装置で
あって、

前記画素トランジスタは、アモルファスシリコンから作製されている。

5. 請求項 1 ～ 3 のいずれかに記載のアクティブマトリクス型液晶表示装置であって、

前記選択電圧供給回路は、前記ゲートドライバと別体に設けられている。

5 6. 請求項 1 ～ 3 のいずれかに記載のアクティブマトリクス型液晶表示装置であって、

前記選択電圧供給回路は、ローレベルゲート電圧電源と共に前記ゲートドライバの外に配置されている。

10 7. 請求項 1 ～ 3 のいずれかに記載のアクティブマトリクス型液晶表示装置であって、

前記スイッチは、各ゲートラインごとに並列に設けられている。

図 1

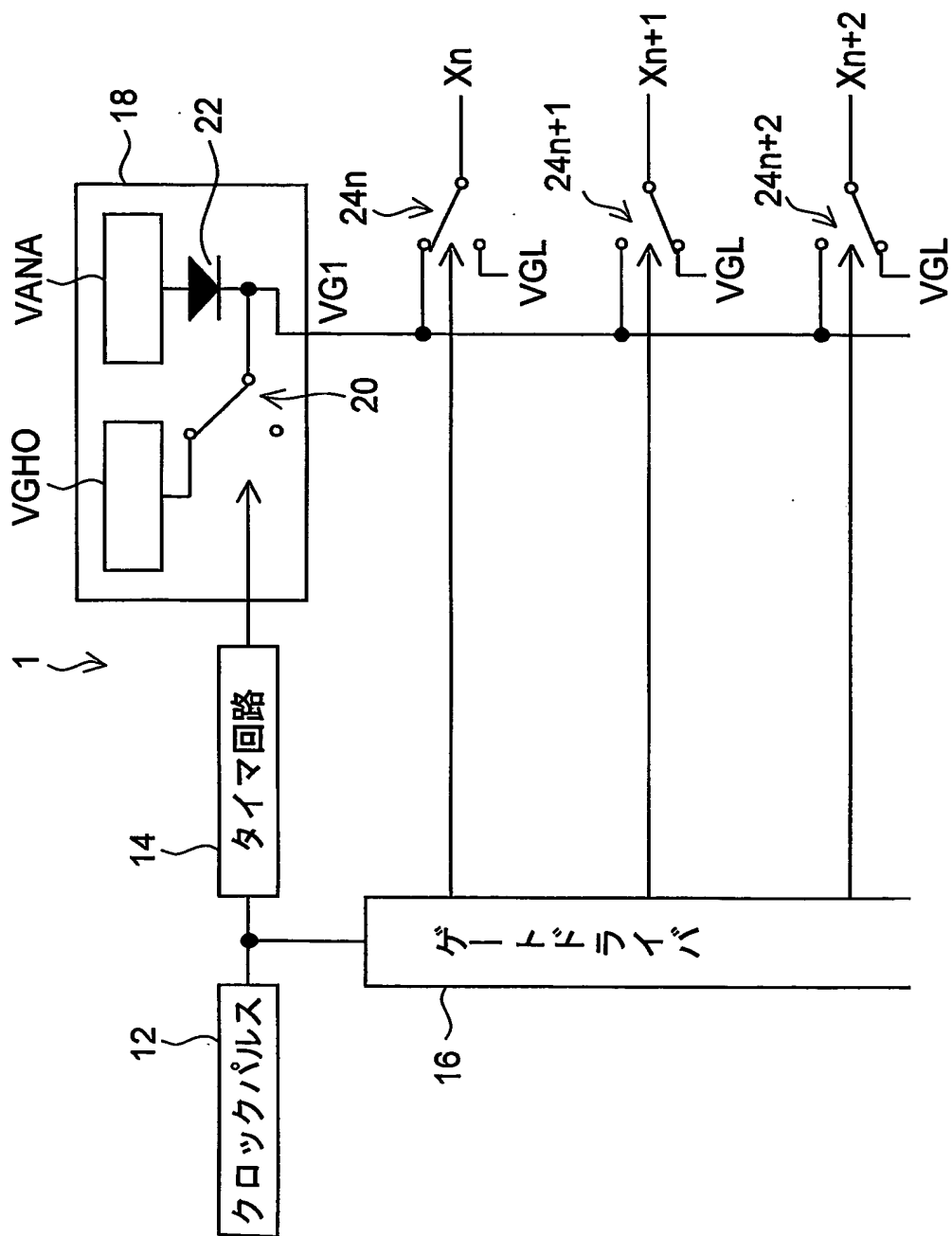


図 2

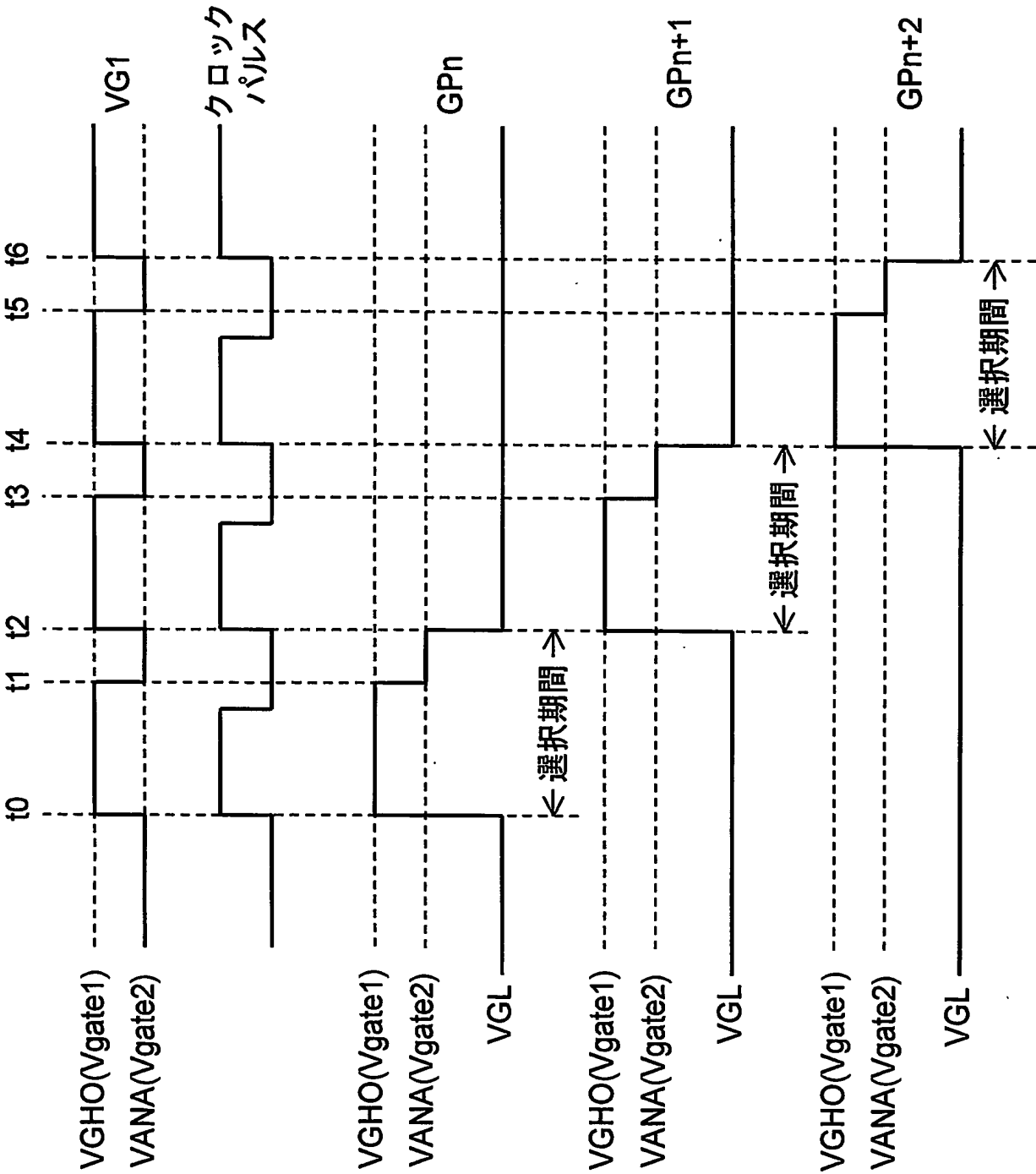
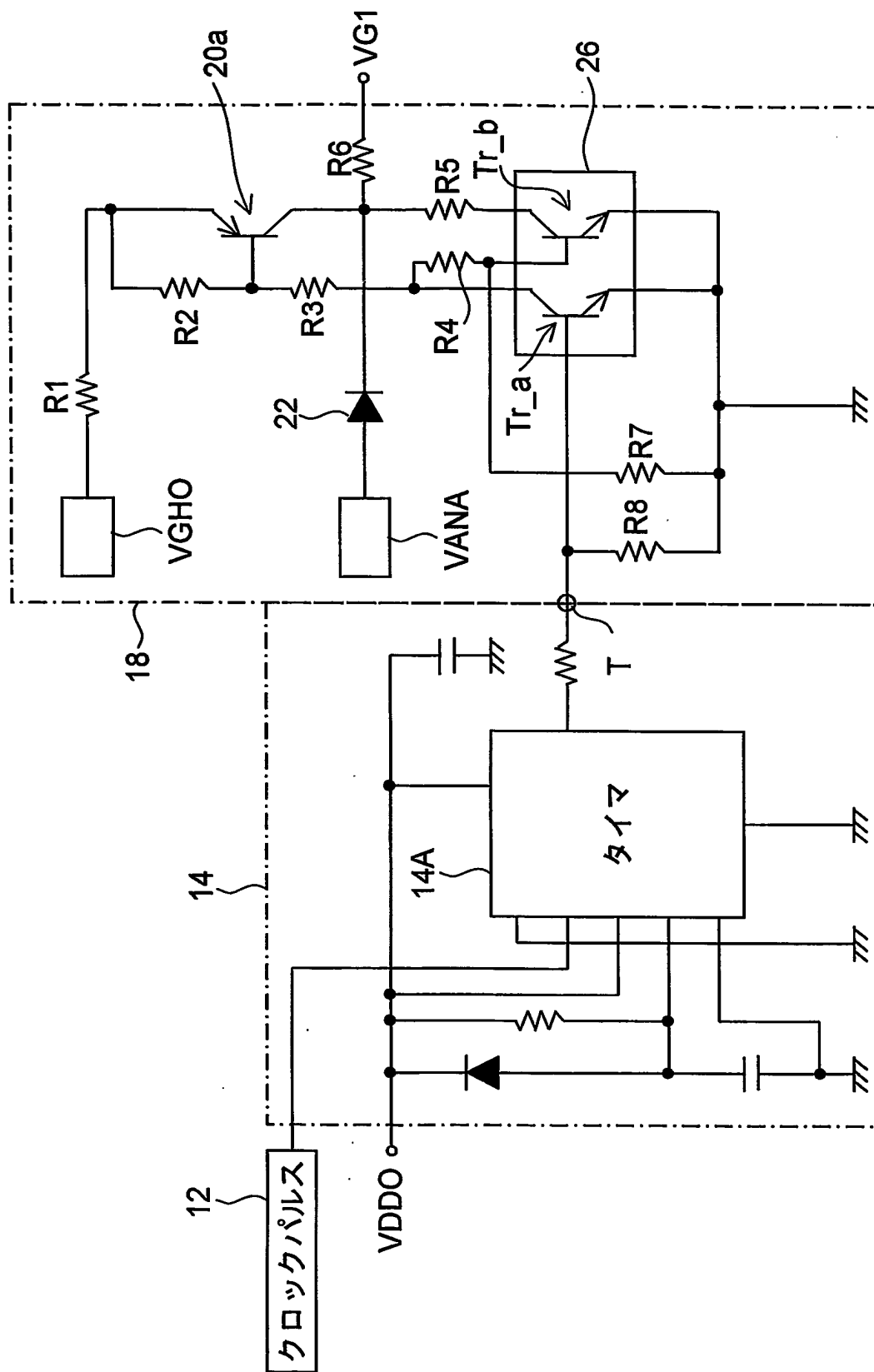


図 3



✂

✂

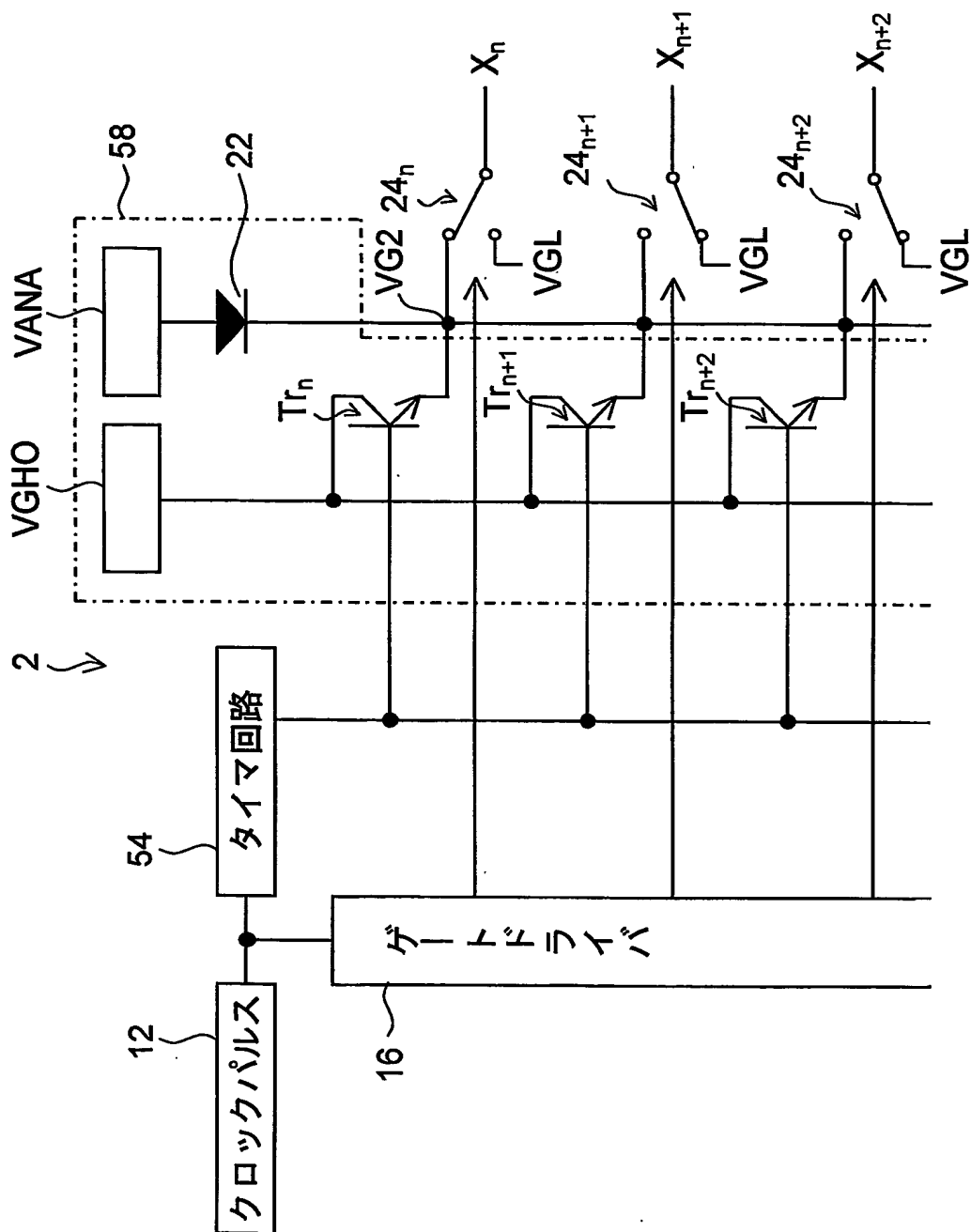


図 5

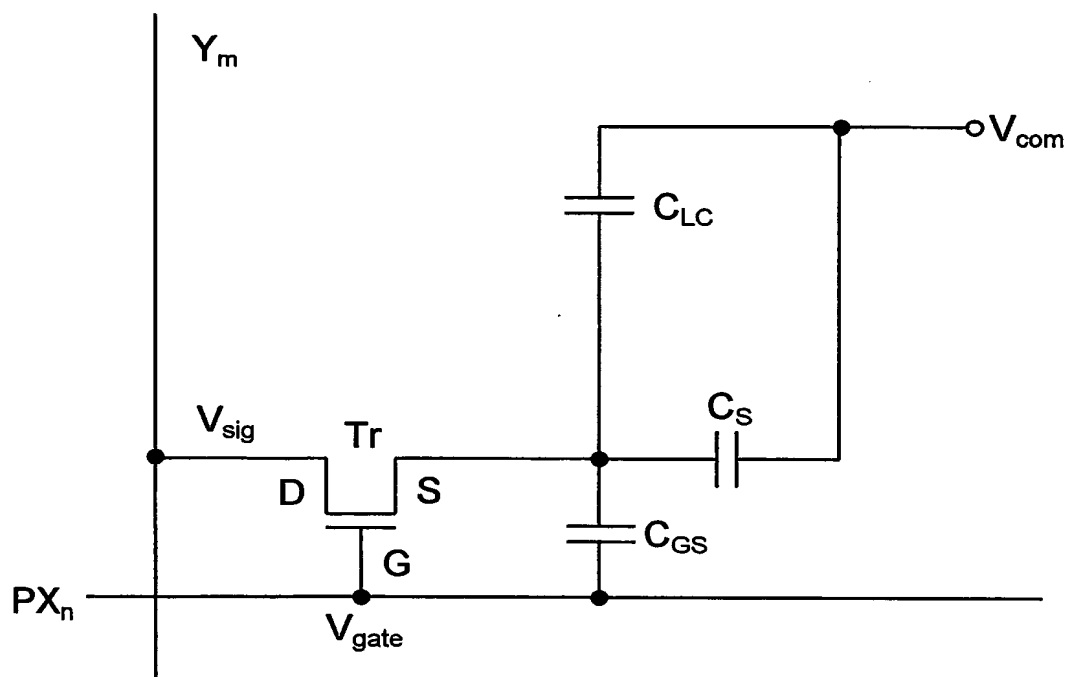


図 6

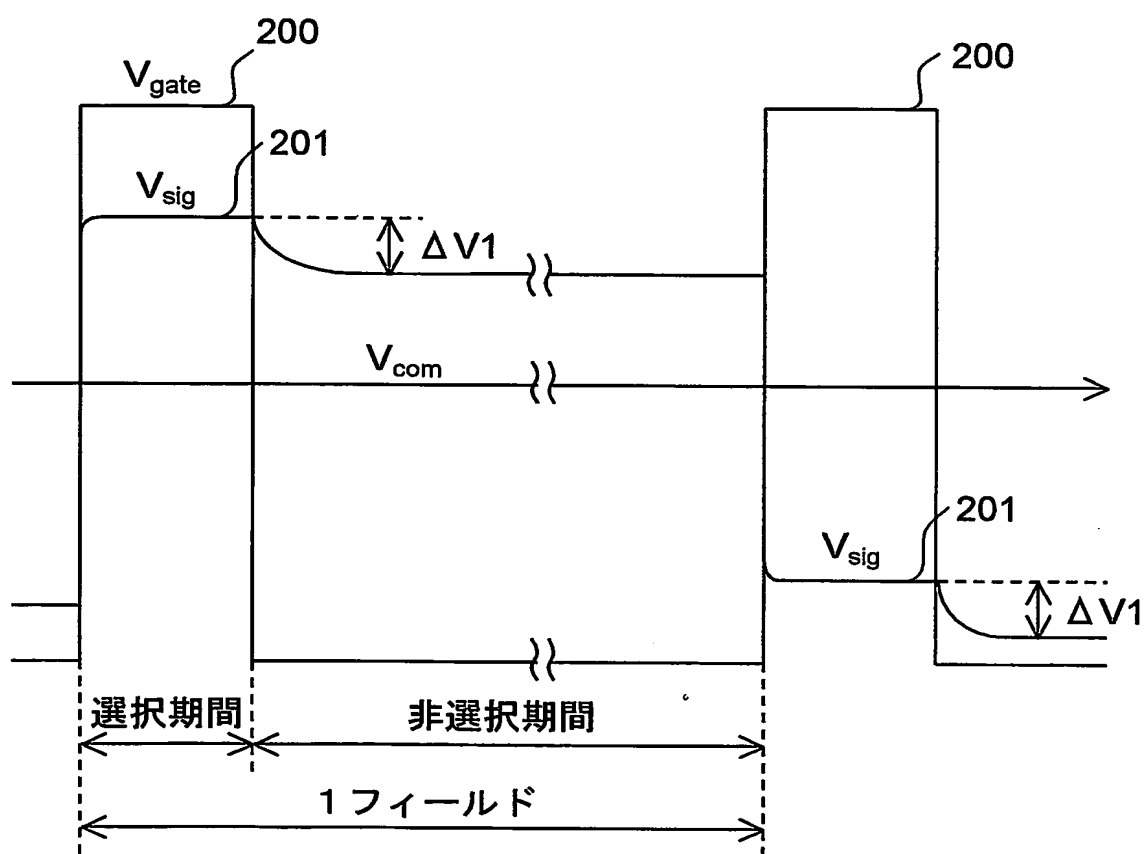


图 7

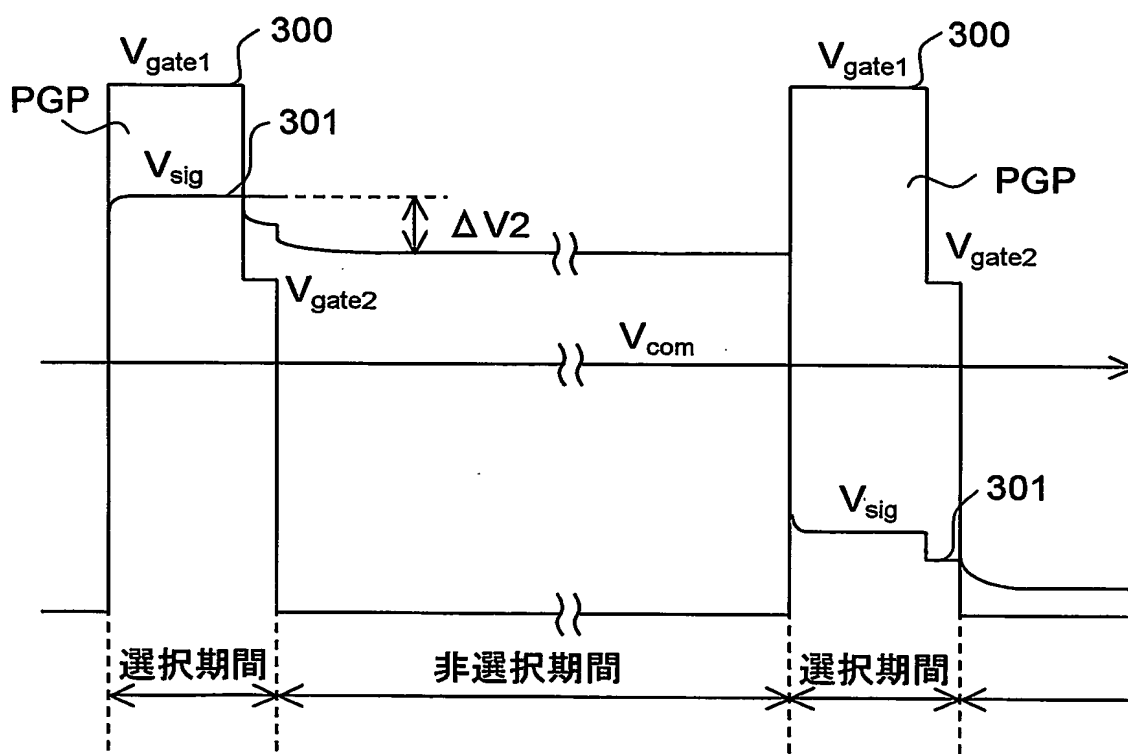
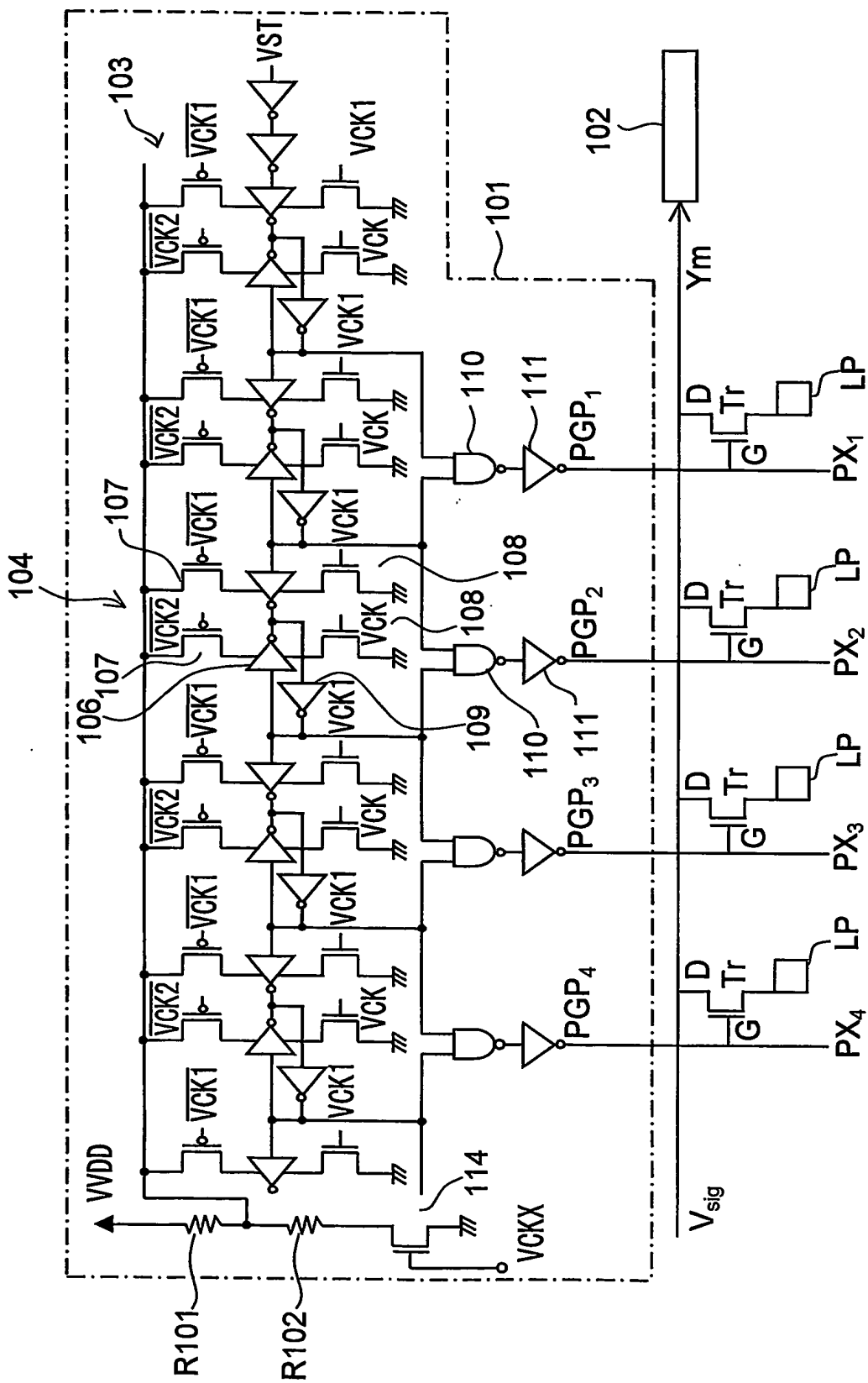


図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16832

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/36, 3/20, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/36, 3/20, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-101502 A (Sony Corp.), 15 April, 1997 (15.04.97), Full text; Figs. 1 to 7 (Family: none)	1-7
A	JP 2-74989 A (Fujitsu Ltd.), 14 March, 1990 (14.03.90), Page 5, upper left column, line 16 to page 6, lower right column, line 18; Figs. 1 to 3 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 March, 2004 (10.03.04)

Date of mailing of the international search report
23 March, 2004 (23.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl¹ G09G3/36, 3/20, G02F1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl¹ G09G3/36, 3/20, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-101502 A (ソニー株式会社) 1997. 04. 15, 全文, 図1-7 (ファミリーなし)	1-7
A	JP 2-74989 A (富士通株式会社) 1990. 03. 14, 第5頁左上欄第16行~第6頁右下欄第18行, 第1-3図 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10. 03. 2004

国際調査報告の発送日

23. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226